

МЕТОДИКА ПРОЕКТИРОВАНИЯ СИСТЕМ ЦОС ДЛЯ ПРОГРАММНО-ОПРЕДЕЛЯЕМЫХ РАДИОСИСТЕМ НА ПРИМЕРЕ РАЗРАБОТКИ УНИВЕРСАЛЬНОГО ТЕЛЕМЕТРИЧЕСКОГО ПРИЕМНИКА**А. Ю. Федоров, А. П. Антонов (Санкт-Петербург)**

Традиционная методика [1] проектирования систем цифровой обработки сигналов (ЦОС), в частности для программно-определяемых радиосистем, включает следующие основные этапы:

1. Формализация технического задания, разработка структуры проектируемого модуля ЦОС.

2. Построение математической модели (поведенческой, структурной и/или смешанной) проектируемого модуля ЦОС (например, в рамках среды MATLAB/Simulink).

3. Моделирование (например, в рамках среды MATLAB/Simulink) модуля ЦОС для проверки соответствия созданной математической модели техническому заданию.

4. Перевод математической модели проектируемого модуля ЦОС в текстовое описание (используя один из языков описания аппаратуры (HDL – Hardware Description Language): VHDL, Verilog), выполненное на уровне RTL (Register Transfer Level – уровень регистровых передач).

5. Создание тестов для проверки правильности функционирования (соответствия поведению математической модели) созданного HDL-описания проектируемого модуля ЦОС. Проведение моделирования.

6. Реализация проектируемого модуля ЦОС (на базе СБИС Программируемой Логики), проверка соответствия характеристик реализации (требуемые аппаратные затраты, требуемое быстродействие, максимальная тактовая частота...) требованиям технического задания.

7. Отладка работы модуля ЦОС в системе.

Поскольку сложность современных алгоритмов, реализуемых системами ЦОС программно-определяемых радиосистем, аппаратные затраты, необходимые для их реализации и требования к быстродействию неуклонно растут, а время, выделяемое на процесс проектирования, снижается, актуальной становится задача модернизации традиционной методики с целью преодоления присущих ей недостатков.

К недостаткам традиционной методики можно отнести:

✓ невозможность оперативно оценить при создании математической модели аппаратные затраты, требуемые для реализации проектируемого модуля ЦОС. Этот недостаток приводит к существенным потерям времени при необходимости возврата с этапа реализации на начальные этапы проектирования с целью изменения алгоритмов и структур проектируемого модуля ЦОС;

✓ неадекватно большое время моделирования при попытке создать математическое описание системного окружения проектируемого модуля ЦОС и учесть все особенности системного окружения (опорные тактовые частоты, джиттер, шумы задающего генератора);

✓ необходимость дополнительных трудозатрат для преобразования математического описания проектируемого модуля ЦОС в HDL-описание. Сам по себе перевод описания математического алгоритма – уже достаточно сложная и трудоемкая процедура, требующая как от инженеров, так и от математиков определенной квалификации в смежных областях знаний. Кроме того, такой перевод является источником ошибок, поскольку в него вовлечен “человеческий фактор”;

✓ необходимость создания HDL-тестов, для проверки созданных HDL описаний проектируемого модуля ЦОС. При этом возникает задача доказательства адекватности

тестов, созданных HDL, тестам, использовавшимся на этапе математического моделирования алгоритмов;

✓ невозможность за приемлемое время итерационно осуществлять процедуру оптимизации аппаратных затрат, анализируя возникающие при этом потери в эффективности реализуемого алгоритма ЦОС;

✓ невозможность использования созданной математической модели для проверки и дальнейшего повышения эффективности реализованных алгоритмов ЦОС на основе данных, получаемых с модуля ЦОС, работающего в реальном системном окружении.

Предлагаемая методика (рис. 1) позволяет преодолеть все указанные недостатки, что ведет к уменьшению трудозатрат, минимизации числа потенциальных ошибок, получению более эффективной (с точки зрения аппаратных затрат и быстродействия) реализации разрабатываемого модуля ЦОС, кроме того – более глубокой оптимизации алгоритмов ЦОС для конкретного применения (конкретной системы) за счет использования при математическом моделировании данных, полученных из модуля ЦОС, работающего в реальной системе.

Основной идеей предлагаемой методики является интеграция основных этапов проектирования (математическое моделирование, аппаратная реализация, отладка в составе системы) в единый итерационный цикл проектирования, на основе включения в методику дополнительных этапов и автоматизации процесса передачи формализованных описаний проектируемого модуля и данных, получаемых при моделировании и системной интеграции, между этапами.

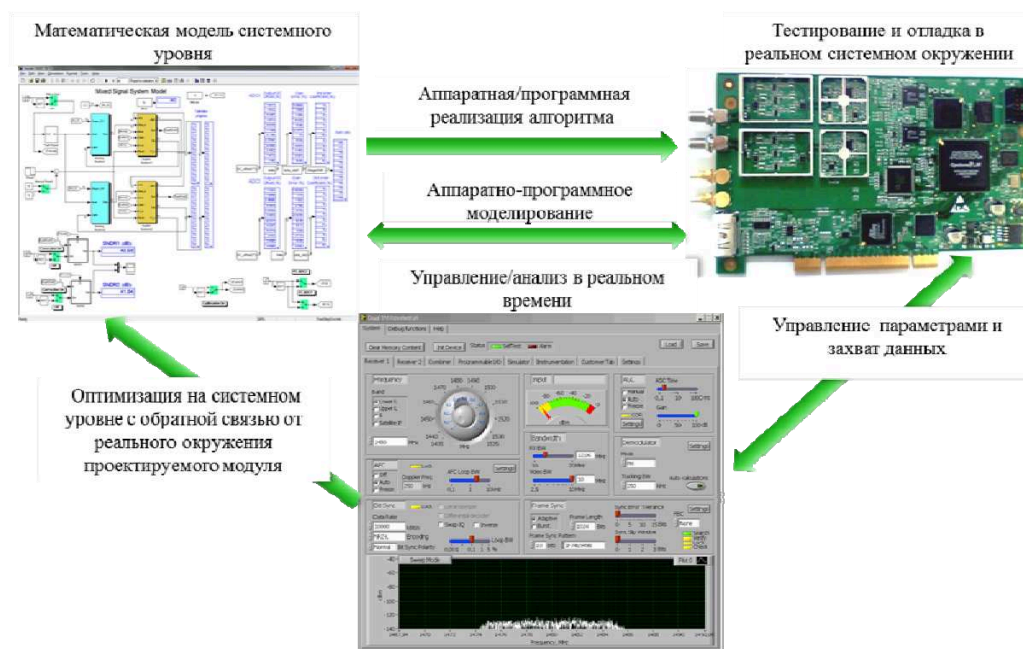


Рис. 1. Методика проектирования системы ЦОС

Одним из важнейших моментов для предлагаемой методики заключается в автоматизации перехода от одного формального описания (математической модели) к другому (HDL-код). Среда Matlab/Simulink содержит набор средств, позволяющих решать данную задачу. На сегодняшний день существуют, как минимум, три средства, позволяющие переходить от математического описания к реализации алгоритмов в аппаратуре. Это – Xilinx System Generator, Altera DSP Builder и Simulink HDL Coder. Два первых средства предназначены для работы с продукцией одноименных фирм и рабо-

тают во взаимодействии с САПР Xilinx ISE или Quartus соответственно. Третье средство создано MathWorks и входит в поставку пакета Matlab. Все они обладают сходными возможностями. К преимуществам двух первых можно отнести оптимизацию под конкретные семейства микросхем и наличие ряда IP-компонентов. Преимуществом HDL Coder является универсальность, так как данное средство не привязано к конкретным типам микросхем или САПР.

Рассмотрим предлагаемую методику на примере разработки универсального приемника телеметрических сигналов, выполненного по стандарту IRIG106 и обеспечивающего прием модулированных (поддерживаемые методы модуляции PCM/FM, BPSK, QPSK, OQPSK, SOQPSK) сигналов на скоростях от 200 кбит/с до 40 Мбит/с (рис. 2).

На первом этапе была осуществлена формализация технического задания на построение системы и разработка структурной схемы, включающей передатчик (источник сигналов), модель канала связи и приемник.

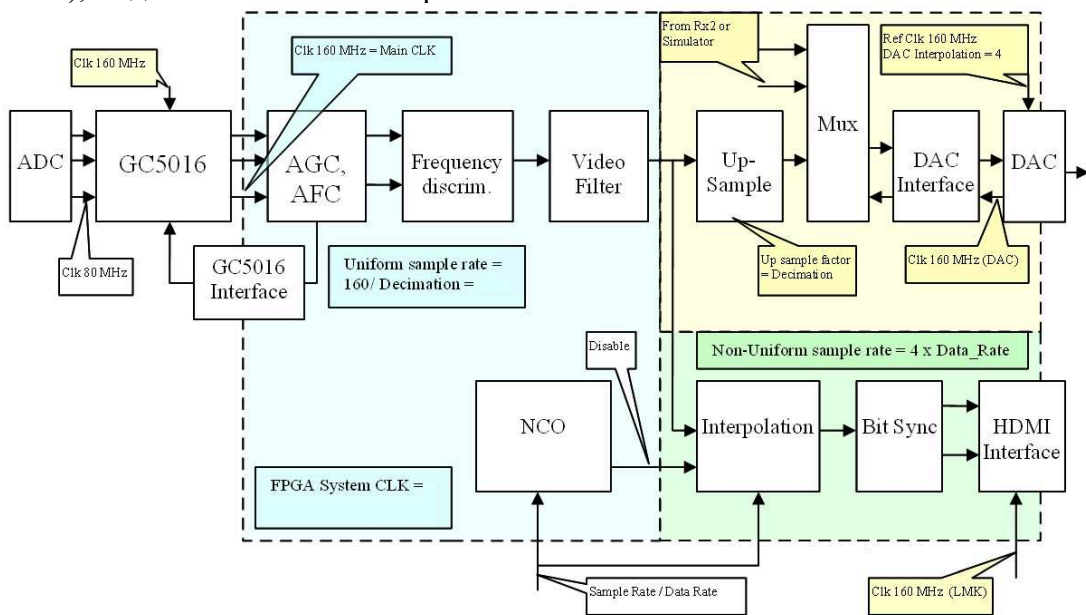


Рис. 2. Структура разработанного телеметрического приемника

На втором этапе в пакете математического моделирования Matlab/Simulink разработана идеальная математическая модель системы с использованием формата чисел с плавающей точкой. Далее выполнены моделирование и отладка модуля ЦОС приемника. В качестве модели канала был использован аддитивный белый гауссовский шум AWGN (Additive White Gaussian Noise). При разработке математической модели учитывались следующие соображения.

Современные пакеты математического моделирования позволяют использовать различные методы для структурного и поведенческого описания разрабатываемых математических алгоритмов. Так, в пакете Matlab/Simulink для описания отдельных блоков могут быть использованы встроенные в пакет языки М, С, либо параметризуемые библиотечные модули из библиотеки Simulink. Верхний уровень описания системы целесообразно выполнять на структурном уровне в рамках графического редактора пакета Simulink. Для построения идеальной модели обычно используют уже отлаженные библиотечные модули пакета, осуществляя их параметризацию (настройку для выполнения требуемой функции с заданными параметрами), при необходимости добавляя собственные модули, описанные на поведенческом или структурном уровне.

Для упрощения и ускорения процедуры отладки и тестирования разработанных блоков и всей системы в целом целесообразно использовать специализированные библиотечные модули пакета. Они применены для генерации входных сигналов, отображения сигналов в контрольных точках системы и оценки эффективности системы.

Поскольку идеальная модель предназначена для высокоуровневой отладки алгоритма в составе моделируемой системы и оценки максимально достижимой эффективности разрабатываемого алгоритма (системы), то для представления данных обычно используется формат с плавающей точкой.

На третьем этапе было осуществлено преобразование идеального алгоритма ЦОС телеметрического приемника, реализованного в формате с плавающей точкой, в формат с представлением чисел с фиксированной точкой и оптимизация разрядностей (с точки зрения минимизации аппаратных затрат при соблюдении требований, заданных к системе).

Основной задачей на данном этапе являлся выбор разрядности каждой арифметической операции, имеющейся в системе, с учетом задачи минимизации аппаратных затрат при сохранении заданных характеристик системы. Необходимо отметить, что задача оптимизации разрядности при использовании формата с фиксированной точкой на сегодняшний день не имеет формального решения. Имеется ряд подходов к решению данной задачи, один из них предложен в работе [2]. Кроме того не существует готовых инструментальных средств, которые бы позволяли автоматизировать решение данной задачи. Для того чтобы проконтролировать корректность преобразования математической модели и выполнение заданных требований, по завершении данного этапа обычно проводится моделирование системы в том же окружении. При этом система с арифметикой с плавающей точкой, описанная на втором этапе проектирования, служит эталонным образцом.

На четвертом этапе блоки проектируемого модуля ЦОС приемника были заменены на библиотечные компоненты, ориентированные на дальнейшую реализацию в аппаратуре. Данный этап является, по сути, механическим, и может быть легко автоматизирован. При использовании пакетов Altera DSP Builder либо Xilinx System Generator необходимо заменить стандартные блоки пакета Simulink на аналогичные из состава пакетов аппаратной разработки. При использовании пакета HDL Coder, входящего в состав среды моделирования Matlab/Simulink, никаких дополнительных действий не требуется, так как пакет HDL Coder базируется на стандартном наборе блоков среды Simulink. На данном этапе так же проводится моделирование и сравнение с эталонной моделью.

На пятом этапе предложенной методики проектирования осуществлялось аппаратно-программное моделирование созданного модуля ЦОС телеметрического приемника.

Данный этап, в общем случае, решает две задачи:

1. Проверка возможности, эффективности и правильности автоматического перевода созданных блоков на язык VHDL (или Verilog HDL), этапа синтеза на заданной элементной базе, этапа размещения и трассировки выбранной СБИС.

2. Ускорение процесса моделирования системы.

Для реализации пятого этапа используются средства автоматизации проектирования СБИС программируемой логики (пакет Quartus II фирмы Altera или пакет ISE фирмы Xilinx) и специализированные платы с целевой СБИС программируемой логики и набором необходимых периферийных компонентов.

Таким образом, на данном этапе созданные ранее алгоритмы могут быть проверены на СБИС, работающей в составе системы на системной частоте создаваемого устройства.

Первый шаг при проведении аппаратного моделирования – это получение описания системы на языке описания аппаратуры (как правило, VHDL или Verilog). Однако подобная система не жизнеспособна сама по себе в большинстве случаев, так как в ней отсутствуют интерфейсы для связи с внешним миром. Поэтому модель, созданную описанным выше способом, используют в качестве математического ядра системы. Кроме того, в системе должны присутствовать интерфейсы, специфичные для конечного продукта, такие как прием данных с АЦП, формирование данных для ЦАП, взаимодействие с процессором и др. Обычно данные интерфейсы реализуются непосредственно на языке описания аппаратуры.

Таким образом, на данном этапе была реализована система на целевой СБИС и выполнено совместное моделирование (алгоритм реализован на целевой СБИС, а входные и выходные данные подаются, принимаются и анализируются с помощью компьютера в рамках пакета Matlab/Simulink). Для проведения тестирования использовался стандартный подход, предлагаемый пакетами DSP Builder и System Generator – Hardware-in-the-loop. Результаты должны быть идентичны результатам, полученным при программном моделировании системы.

На шестом этапе была реализована отладка и анализ параметров приемника телеметрических сигналов в реальном системном окружении. В общем случае для тестирования требуется программируемый генератор сигналов произвольной формы, позволяющий формировать сигналы, описанные в рамках пакета Matlab/Simulink, средства анализа сигналов (анализаторы спектра, цифровые осциллографы и средства внутрисхемной отладки СБИС программируемой логики, например, SignalTap Logic Analyzer фирмы Altera или ChipScope Pro фирмы Xilinx).

По окончании шестого этапа процесс проектирования, оптимизации, моделирования и проверки устройства можно считать законченным.

Очевидными преимуществами предлагаемой методики являются, во-первых, минимизация влияния человеческого фактора при переходе от математической модели устройства к аппаратуре, что достигается благодаря непрерывности процесса проектирования, а во-вторых, наличие отлаженной математической модели, являющейся прототипом для создаваемой аппаратуры, которая может быть использована не только на всех этапах проектирования и отладки, но и для дальнейшей оптимизации алгоритмов на основе данных, полученных из реального системного окружения проектируемого устройства ЦОС программно-определяемых радиосистем.

Литература

1. Proakis J. Digital communication. 4th ed: Boston : McGraw-Hill. 2001. 1004 p.
2. Захарова Н. С., Федоров А. Ю. Автоматизация перехода от формата с плавающей точкой к формату с фиксированной точкой при проектировании цифровых устройств // Технологии Microsoft в теории и практике программирования: материалы межвузовского конкурса-конференции студентов, аспирантов и молодых учёных Северо-Запада: Сб. статей. СПб.: Изд-во Политехн. ун-та, 2010. С. 144–145.